

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001156250 A**

(43) Date of publication of application: **08.06.01**

(51) Int. Cl

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/28

(21) Application number: **11333491**

(22) Date of filing: **24.11.99**

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **UMETSU KAZUNARI
KUROSAWA RYUICHI**

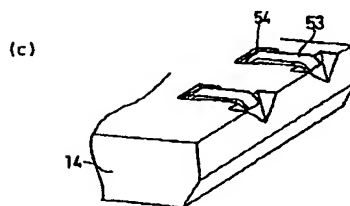
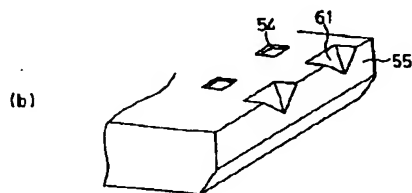
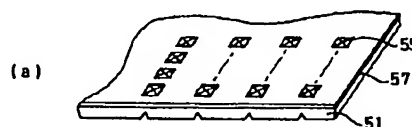
**(54) SEMICONDUCTOR CHIP, MULTI-CHIP PACKAGE
AND SEMICONDUCTOR DEVICE AS WELL AS
ELECTRONIC EQUIPMENT USING IT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip module, a multi-chip package and a semiconductor device as well as an electronic equipment using it capable of easily three-dimensionally mounting semiconductor chips, minimizing deterioration of electric characteristics and being easily manufactured with a small profile size.

SOLUTION: The electrode positions of the semiconductor chips are etched to form a groove of a V shape or a pyramidal shape. The groove is cut and divided, electrodes are formed on the oblique parts of the groove of the divided chips and the end faces of the chips are substantially linearly aligned.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-156250
(P2001-156250A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

H 0 1 L 25/065
25/07
25/18
21/28

H 0 1 L 21/28
25/08

E 4 M 1 0 4
Z

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号

特願平11-333491

(22) 出願日

平成11年11月24日 (1999.11.24)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 梅津 一成
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 黒沢 龍一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

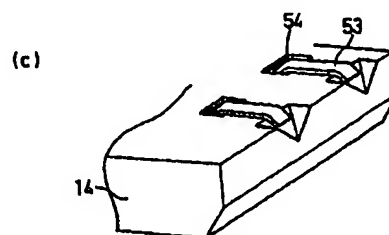
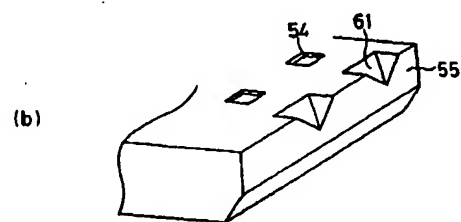
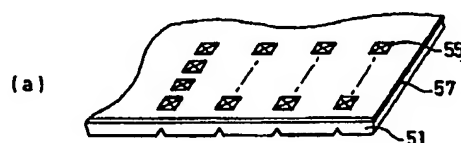
Fターム (参考) 4M104 BB02 DD09 FF04

(54) 【発明の名称】 半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器

(57) 【要約】

【課題】 半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのでき、かつ、外形寸法が小さく製造が容易な半導体チップモジュール、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器を提供する。

【解決手段】 半導体チップの電極個所にエッチングを施してV型あるいはピラミッド型形状のいずれかの溝を形成する。その溝部を切断して分割し、分割した半導体チップの溝の傾斜部に電極を形成し、かつ、チップの端面をほぼ直線状に揃えた構成としている。



【特許請求の範囲】

【請求項1】 ウエハに予め設定された半導体チップの電極個所にエッチングを施してV型あるいはピラミッド型形状のいずれかの溝を形成するとともに、その溝部を切断して分割し、分割した半導体チップの溝の傾斜部に電極を形成したことを特徴とする半導体チップ。

【請求項2】 ウエハに予め設定された半導体チップの電極個所にエッチングを施してV型あるいはピラミッド型形状のいずれかの溝を形成するとともに、電極個所と同一個所のシリコンウエハの裏面にエッチングを施してV型形状の溝を形成し、そのV型あるいはピラミッド型形状の溝部と、裏面のV型形状の溝部との位置で切断して分割し、分割した半導体チップの傾斜部に電極を形成したことを特徴とする半導体チップ。

【請求項3】 請求項1あるいは請求項2記載の半導体チップであって、上側傾斜部に電極を形成した半導体チップを積層し、かつ、各半導体チップの電極を導電部で接続したことを特徴とするマルチチップパッケージ。

【請求項4】 請求項3記載のマルチチップパッケージにおいて、電極を形成した上側傾斜部を同一方向に傾けて積層するか、あるいは、電極が形成された上側傾斜部を対向させて積層するかのいずれかであることを特徴とするマルチチップパッケージ。

【請求項5】 請求項3記載のマルチチップパッケージにおいて、電極を形成した上側傾斜部を同一方向に傾けて積層したマルチチップパッケージの電極側の端面がほぼ直線状に直角に、あるいは、電極を形成した上側傾斜部がほぼ直線状の斜面上のいずれかに配列されていることを特徴とするマルチチップパッケージ。

【請求項6】 請求項4あるいは請求項5記載のマルチチップパッケージであって、電極を接続する導電部が、ワイヤボンディング、半田ボールとワイヤボンディングあるいはリード棒、若しくは、インクジェットにより塗布された半田とワイヤボンディングあるいはリード棒からなる組み合わせのいずれかで各電極をロジックチップの電極に接続したことを特徴とする半導体装置。

【請求項7】 請求項4あるいは請求項5記載のマルチチップパッケージであって、同一または異種サイズの複数の半導体チップをそれらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置して接続したことを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置であって、半導体装置をマザボードで接続して回路を構成したことを特徴とする電子機器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、そ

れを用いた電子機器に関する。

【0002】

【従来の技術】 近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)とすることにより、半導体装置の高性能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものとがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックDMCPの開発が盛んに行われている。

【0003】 この種のパッケージ構造としては、実開昭62-158840号、特開平6-37250号の公報に開示されているように、複数の半導体チップを外形寸法の大きさにしたがってピラミッド状に積層し、各半導体チップの上面に設けた端子電極をワイヤボンディングによって接続する構成となっているのが一般的である。

【0004】

【発明が解決しようとする課題】 ところが、上記従来構造のマルチチップパッケージでは、積層する順位がチップサイズによって規制されてしまい、積層の自由度が少ないという欠点がある。また、チップ間の端子電極の接続にワイヤボンディングを利用して行なうが、端子間距離が一定していないため、ワイヤ長さが種々にわたってしまい、ボンディング長さに起因する電気的特性の劣化が生じてしまう問題がある。更に、積層するチップの下位チップは必ず上位チップよりは端子電極の形成領域が露出している必要があり、チップサイズに限定要件があるため、設計自由度が極めて小さいという問題もある。また、同一サイズの下位チップと上位チップとを用いたときには、下位半導体チップと上位半導体チップとの間に、ワイヤボンディングのための空間を必要とし、外形寸法が大きくなるという欠点がある。このために、同一サイズの下位チップと上位チップでも、外形寸法が小さく、電極の製造が容易なマルチチップパッケージの開発が望まれている。

【0005】 本発明は、上記従来の問題点に着目し、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのでき、かつ、外形寸法が小さく製造が容易な半導体チップモジュール、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器を提供することを目的とする。また、第2にはチップサイズに影響を受けずに3次元実装できるようにすることを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するために、本発明に係る半導体チップは、ウエハに予め設定された半導体チップの電極個所にエッチングを施してV型

あるいはピラミッド型形状のいずれかの溝を形成するとともに、その溝部を切断して分割し、分割した半導体チップの溝の傾斜部に電極を形成したことを特徴とする。

【0007】このように構成した本発明によれば、有底溝部で切断するために分割が容易になる。また、分割した傾斜部に電極を形成するために、同一サイズの半導体チップを用いても、ワイヤボンディングに必要な上下方向の空間が不要となる。また、ワイヤボンディングの長さがほぼ同じ長さになるので製作が容易となる。

【0008】また、本発明に係る半導体チップは、ウエハに予め設定された半導体チップの電極個所にエッチングを施してV型あるいはピラミッド型形状のいずれかの溝を形成するとともに、電極個所と同一個所のシリコンウエハの裏面にエッチングを施してV型形状の溝を形成し、そのV型あるいはピラミッド型形状の溝部と、裏面のV型形状の溝部との位置で切断して分割し、分割した半導体チップの傾斜部に電極を形成した構成しても良い。

【0009】このように構成した本発明によれば、半導体チップの裏面に傾斜部を有するため、ワイヤボンディング時の干渉がなくなる。

【0010】本発明に係るマルチチップパッケージは、上側傾斜部に電極を形成した半導体チップを積層し、かつ、各半導体チップの電極を導電部で接続したことを特徴とする。

【0011】このように構成した本発明によれば、前記と同様に、マルチチップパッケージは、ワイヤボンディングに必要な上下方向の空間を不要にできる。また、ワイヤボンディングの長さがほぼ同じ長さになるとともに、同一列で電極を接続することが出来る。

【0012】本発明に係るマルチチップパッケージは、電極を形成した上側傾斜部を同一方向に傾けて積層するか、あるいは、電極が形成された上側傾斜部を対向させて積層するかのいずれかであると良い。

【0013】このように構成した本発明によれば、同一方向に傾けて積層しているためワイヤボンディングの接続が容易になる。また、傾斜部を対向させて積層しているため、電極に対する相手の接続端子の個数を少なくできる。

【0014】また、本発明に係るマルチチップパッケージは、電極を形成した上側傾斜部を同一方向に傾けて積層したマルチチップパッケージの電極側の端面がほぼ直線状に直角に、あるいは、電極を形成した上側傾斜部がほぼ直線状の斜面上のいずれかに配列されていると良い。

【0015】このように構成した本発明によれば、積層する半導体のチップは各種のサイズを用いることができる。

【0016】本発明に係る半導体装置は、電極を接続する導電部が、ワイヤボンディング、半田ボールとワイヤ

ボンディングあるいはリード棒、若しくは、インクジェットにより塗布された半田とワイヤボンディングあるいはリード棒からなる組み合わせのいずれかで各電極をロジックチップの電極に接続したことを特徴とする。

【0017】このように構成した本発明によれば、積層する半導体の電極とロジックチップの電極とを簡単な構成で、かつ、同じ構成により接続することができ、導電化を容易にすることができる。

【0018】本発明に係る半導体装置は、同一または異種サイズの複数の半導体チップをそれらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置して接続した構成にすると良い。

【0019】このように構成した本発明によれば、前記と同様に、積層する半導体のチップは各種のサイズを用いることができる。また、各種のサイズの半導体チップを用いても、同じ長さ、あるいは、同じ形状部品の導電体により同一列で電極を接続することが出来る。

【0020】本発明に係る電子機器は、半導体装置をマザボードで接続して回路を構成したことを特徴とする。

【0021】このように構成した本発明によれば、上記のように構成されたマルチチップパッケージ、あるいは、半導体装置を備えて構成されているため、製作が容易になるとともに、外観形状が小さくなる。

【0022】

【発明の実施の形態】以下に、本発明に係るマルチチップパッケージの電極構造の好ましい実施の形態を添付図面に従って詳細に説明する。

【0023】図1は本発明の第1実施形態に係るマルチチップパッケージ10の斜視図あるいは一部断面側面形状を示す工程図である。

【0024】図1(a)では、本発明を用いる後述するマルチチップパッケージ10の半導体チップ14を構成するシリコンウエハ51の斜視図である。シリコンウエハ51の上面(能動面側)には、図1(c)に示すチップ14の電極53が形成される電極作成部55を除いて、エッチング保護膜57が塗布されている。電極作成部55は、後述するエッチングにより逆ピラミッド型形状に形成される。図1(b)では、図1を切断し分割した状態を示す図であり、シリコンウエハ51の電極作成部55は切断分割されて、電極53を形成する上側傾斜部61が形成されている。また、電極53の他端が接続されるチップ電極パッド54が形成される。図1(c)は、半導体チップ14の斜視図であり、上側傾斜部61とチップ電極パッド54との間に電極53が形成されている。

【0025】図2(a)は、半導体チップ14を製造する他の実施形態を示すシリコンウエハ51の斜視図である。なお、図1と同一部品には同一符号を付して説明は

省略する。図1においては、電極作成部55は、逆ピラミッド型形状に形成されているが、図2においては、V字型形状の溝55Aが縦横十文字にエッチングされている。図2(b)では、図2を切断し分割した状態を示す図であり、シリコンウエハ51の電極作成部55は切断分割されて、電極53を形成する上側傾斜部61Aが形成されている。図2(c)は、半導体チップ14の斜視図であり、上側傾斜部61Aとチップ電極パッド54との間に電極53が形成されている。なお、上記において、シリコンウエハ51の下側溝71は形成した方がシリコンウエハ51の分割を容易にしているが、必ずしも設けなくても製造上に問題はない。

【0026】次に、図2の半導体チップ14Aの製造について、図3の製造工程で具体的に説明する。

【0027】図3(a)では、本発明を用いる後述するマルチチップパッケージ10の半導体チップ14を構成するシリコンウエハ51の側面図である。シリコンウエハ51の上面には、半導体チップ14の電極53が形成される電極作成部55を除いて、エッチング保護膜57を形成する。このとき、同時に、シリコンウエハ51の裏面にもエッチング保護膜57aを形成して置く。すなわち、トランジスタ、抵抗素子、配線、電極パッドなどの各種素子が形成されている方位面が(100)面のシリコンウエハ51に対し、酸化シリコン膜からなるエッチング保護膜57、57aをCVD法などにより形成するが、能動面側のエッチング保護膜57の開口部(電極作成部55)を通じてエッチングするようにしている。この状態で、異方性ウェットエッチングを行なってエッチング保護膜57の開口部から露出されているシリコン単結晶基板をエッチング処理する。この異方性ウェットエッチングでは、シリコン単結晶基板は傾斜角度が54.7度となる方位面(111)でエッチングが止まるため、断面がV字形の逆ピラミッド状の凹部が形成される。この凹部の深さはエッチング保護膜57の開口部の幅によって左右されるため、シリコンウエハ51の厚みによって任意に調整すれば良い。

【0028】図3(c)では、シリコンウエハ51は、有底を有するV型形状の溝59の位置(二点鎖線で示す)で切断され、半導体チップ14が形成される。この切断には、一般的に、ダイヤモンドカッタ(Dc)、ダイヤモンドブレード、あるいは、レーザ光で切断するスクライビング法が行われる。しかし、本発明では、有底を有するV型形状の溝59が利用され、シリコンウエハ51が流体の加圧あるいは減圧により変形されて溝57の位置で破断されるか、又は、ローラ等による機械的の押圧力によりシリコンウエハ51を変形させて破断することが可能となり製造が容易化される。なお、上記工程でエッチング保護膜57は、切断前に水溶液、溶剤等により除去すれば良い。

【0029】図3(d)では、V型形状の溝59が切断

された半導体チップ14の上側傾斜部61に電極53が形成される。また、同図には、半導体チップ14に絶縁膜(SiO₂)63が図示されているが、この絶縁膜63の形成は、電極53の作成前、あるいは、エッチング保護膜57の形成を行う前のいずれで行っても良い。この電極53は、例えば、アルミニウムの蒸着等により形成される。

【0030】図3(e)では、電極53が形成された半導体チップ14は、電極53が装着されている上側傾斜部61を同一方向に傾けるとともに、半導体チップ14の層間には絶縁接着樹脂65を介在させて積層される。また、積層された電極53がボンディングワイヤ67により接続されて導通をとるようにされている。これにより、ワイヤボンディング67の長さがほぼ同じ長さになり、電気的特性の劣化を最小にすることができる。また、同一サイズの上側半導体チップ14aと下側半導体チップ14bとが用いられても、ワイヤボンディング67のための空間が不要となり、外形寸法を小さく出来る。ワイヤボンディング67は後述するプリント回路基板12に形成される外部電極端子26に対して接続をなせばよい。

【0031】図4は本発明の第2実施形態に係るマルチチップパッケージ10Aの電極構造の一部断面側面形状を示す工程図である。なお、第1実施形態と同一機能を有する部品には同一符号を付して説明は省略する。

【0032】第1実施形態では、シリコンウエハ51の上面には、半導体チップ14の電極53が形成される電極作成部55を除いてエッチング保護膜57が塗布されており、その電極53の電極作成部55をエッチングし、V型形状の溝59を形成している。これに対して、第2実施形態では、半導体チップ14の電極53が形成される電極作成部55と同一個所のシリコンウエハ51の裏面にもV型形状の下側溝71が形成されている。すなわち、図4(b)に示すように、シリコンウエハ51の上面に形成される半導体チップ14の電極53の電極作成部55と同一個所で、かつ、シリコンウエハ51の裏面(Fb)には、エッチング保護膜57の塗布が除去されており、エッチングにより、V型形状の下側溝71が形成される。

【0033】図4(b)では、シリコンウエハ51の上面に形成されるV型形状の溝59と、シリコンウエハ51の下面に形成されるV型形状の下側溝71との位置で、シリコンウエハ51が流体の加圧あるいは減圧により変形されて溝59と下側溝71の位置で破断(Ca)される。これにより、半導体チップ73は、V型形状の下側溝71により下側傾斜部75が形成される。また、切断は、ローラ等による機械的の押圧力によりシリコンウエハ51を変形させて破断しても良い。これにより、シリコンウエハ51の分割が容易になるとともに、切断時間の短縮、コストの低減を図ることができる。

【0034】図4(e)では、電極53が形成された半導体チップ73は、電極53が装着されている上側傾斜部61を同一方向に傾けるとともに、半導体チップ73の層間には絶縁接着樹脂65を介在させて積層される。また、積層された電極53がボンディングワイヤ67により接続されて導通をとるようにされている。このとき、半導体チップ73は、電極53と同一個所の裏面に下側傾斜部75を有しているため、ワイヤボンディング67を行うときの干渉がなくなり、ワイヤボンディング67の接続が容易になる。また、前記と同様に、ワイヤボンディング67の接続長さをほぼ同一にすることができる。また、前記と同様に、上側半導体チップ73aと下側半導体チップ73bとが同一サイズの場合でも、ワイヤボンディング67のための空間が不要となる。

【0035】図5は本発明の第3実施形態に係るマルチチップパッケージ10Bの電極構造の一部断面側面図である。

【0036】第3実施形態では、半導体チップ14は、第1実施形態の図3(d)まで、あるいは、図4(c)に図3(d)の電極を付した工程で製作されたものと同一のものが用いられている。

【0037】第3実施形態では上側半導体チップ14aと下側半導体チップ14bとが一对として使用され、この一对の半導体チップ14は、電極53が装着されている上側傾斜部61が対向して配設されている。このとき、図示していないが、第1実施形態と同様に、半導体チップ14の層間には絶縁接着樹脂65を介在させて積層しても良い。積層された電極53には半田ボール81が接着され、この半田ボール81はボンディングワイヤ67aにより接続されて導通をとるようにされている。このとき、電極53には金(Au)メッキを施して接着性を向上し、導電性を良好にすると良い。これにより、一对の半導体チップ14は、1個の半田ボール81とボンディングワイヤ67aにより接続されて導通が行われるため、構造が簡単になり製造が容易になるとともに、同じ長さのボンディングワイヤ67aにより接続することができる。これにより、前記と同様に、電気的特性の劣化を最小にすることができる。なお、上記実施形態では、半田ボール81を用いたが、図示しないインクジェットから半田を塗布して半田により導通しても良い。また、このインクジェットから半導体チップ14の端面に絶縁膜82を形成するようにしても良い。

【0038】図6は本発明の第4実施形態に係るマルチチップパッケージ10Cの電極構造の一部断面側面図である。

【0039】第4実施形態では、第3実施形態と同様に、半導体チップ14は、第1実施形態の図3(d)まで、あるいは、図5(c)に図3(d)の電極を付した工程で製作されたものと同一のものが用いられている。

【0040】第4実施形態でも、第3実施形態と同様

に、上側半導体チップ14aと下側半導体チップ14bとが一对として使用され、この一对の半導体チップ14aと14b、あるいは、14cと14dは、電極53が装着されている上側傾斜部61が対向して配設され、この電極53には半田ボール81が接着されている。この半田ボール81には、第3実施形態ではボンディングワイヤ67aにより接続されて導通をとるようにされていたが、第4実施形態ではリード棒83により接続されて導通をとるようにされている。半田ボール81とリード棒83とは、レーザ光により、溶着され接続されている。その他は同一のため詳細な説明は省略する。リード棒83は後述するプリント回路基板12に形成される外部電極端子26に対して接続をなせばよい。

【0041】図7は本発明の第5実施形態に係るマルチチップパッケージ10Dの電極構造の一部断面側面図である。

【0042】第5実施形態では、第3実施形態と同様に、半導体チップ14は、第1実施形態の図3(d)まで、あるいは、図5(c)に図3(d)の電極を付した工程で製作されたものと同一のものが用いられている。

【0043】第5実施形態では、電極53が形成された半導体チップ14は、電極53が装着されている上側傾斜部61を同一方向に傾けるとともに、上側半導体チップ85aと下側半導体チップ85bとが位相をずらして配設されている。この傾斜された電極53はほぼ同一直線上に配設されているため、ボンディングワイヤ67bの接続が容易になるとともに、ワイヤボンディング67bの長さがほぼ同じ長さにでき、電気的特性の劣化を最小にすることができる。

【0044】図7は上記で説明した電極構造を用いた実施形態に係るマルチチップパッケージ10A乃至10Dのいずれかをプリント回路基板12に実装した状態の概略斜視図の一例であり、図2はマルチチップパッケージ10の端子間接続状態の一例を説明する断面図である。これらに図示しているように、マルチチップパッケージ10は、異種サイズの複数の半導体チップ14A、14B、14Cをそれらの隣接する2辺が整列するように上下に積層して構成されている。換言すれば、半導体チップ14A、14B、14Cのサイズの如何に拘わらず、それらの一つのコーナ部分が一致するように積層するのである。この実施形態では、上層には正方形をなす最小半導体チップ14Aが配置され、その下位の中間層には一回り大きい正方形サイズの半導体チップ14Bが配置され、最下層の半導体チップ14Aは、上記正方形半導体チップ14Bの1辺長さより長い長辺と、正方形半導体チップ14Bの1辺長さよりは短い短辺を有する長方形半導体チップ14Cが配置されるように積層されている。そして、同一サイズの複数の最小半導体チップ14Aは縁辺を揃えて連続して積層するようにしている(図示の例では3層)。

【0045】このように同一または異種サイズの複数の半導体チップ14A、14B、14Cをそれらの隣接する2辺16X、16Yを整列するように一つのコーナが一致するようにして積層させるため、各半導体チップ14（14A、14B、14C）では、次のような構成を採用している。すなわち、各半導体チップ14A、14B、14Cに共通する端子を上記整列された縁辺16X、16Y側に集中させているのである。例えば、半導体チップ14をメモリ素子として構成した場合、電源ライン、データライン、アドレスラインなどの電極端子、あるいはライトイネーブルなどの制御端子を共通にすることができる。したがって、このような共通端子18n（n=1、2、……n）を各半導体チップ14における整列縁辺16X、16Yに集中配置するようにしている。このとき、各半導体チップ14の共通端子の配列パターンを一致させる。もちろん、端子ピッチ間隔も一定にすることが望ましい。このようにすることにより、各半導体チップ14が積層されたとき、積層体の端面に配列された端子18nが鉛直方向に1直線に配列される。

【0046】各半導体チップ14を積層するに際して、層間に絶縁接着樹脂20（図3参照）を介在させることで、チップ間で端子と基板シリコンとの接触による不具合を防止できる。そして、積層チップ14の端子18n同士は図1に示しているように、ボンディングワイヤ22などにより接続して導通をとるようにしている。これは、例えば、各半導体チップ14の端子18nの配列縁辺16X、16Yの部分に傾斜面を形成し、端子18n上にメタライズ層24を形成して傾斜面に延設し、このメタライズ層24を利用してワイヤボンディングを施し、プリント回路基板12に形成している外部電極端子26に対してワイヤボンディングにより接続をなせばよい。

【0047】このようにして形成されたマルチチップパッケージ10は、プリント回路基板12に実装され、プリント回路基板12の端縁に設けたコネクタ端子32と共通電極18nとが配線ライン34によって接続される。これにより機能をもった半導体装置36が作製される。かかるマルチチップパッケージ10では、異種サイズの半導体チップ14は隣接する2辺16X、16Yに共通端子18nを集中配置するように設計作製し、これらの2辺16X、16Yが整列するようにコーナを一致させて積層する構成を採用しているため、ピラミッド状にチップ積層しなくてもよく、積層作業を極めて簡易に行なわせることができる。そして、積層にはチップサイズによる制限は無いので、積層順位を任意に設定でき、パッケージ設計の自由度は著しく増大する。また、積層されるチップ14の共通端子18n同士の接続距離は上下間で共通にすることができ、ボンディングワイヤ22の長さも最短となる。この結果、電気的な特性の劣化を最小に抑えることができるのである。マルチチップパッ

ケージ10の揃えた縁辺16X、16Y以外の箇所では凹凸端面となるが、これらは樹脂モールドによって外形を整えることができるので、何ら問題はない。

【0048】なお、上記構成では、サイズが異なる半導体チップ14A、14B、14Cを積層するものとして述べたが、サイズの如何に拘わらず、一つの回路装置を構成する異なる種類の半導体チップを対象とし、これらに共通する電極を同一の配列パターンで各チップにおける隣接する2辺の範囲内に集中配置し、前記2辺を整列させて異種半導体チップを積層してこの積層体の端面部分で共通電極の導通接続をなすようにしてもよい。この場合においても、前述した半導体チップ14Aの場合と同様に、同一種類の半導体チップは連続積層させるようにすればよい。

【0049】図8は、本発明の実施形態に係る半導体装置36を実装した回路基板1000を示している。回路基板1000には、例えば、ガラスエポキシ基板等の有機系基板を用いるのが一般的である。回路基板1000には、例えば、銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置36の外部電極とを機械的に接続することでそれらの電気的導通が図られる。

【0050】なお、半導体装置36は、実装面積をベアチップにて実装する面積にまで小さくすることができるので、この基板回路1000を電子機器に用いれば電気機器自体の小型化が図れる。また、同一面積においては、より実装スペースを確保することができ、高機能化を図ることが可能である。

【0051】そして、この回路基板1000を備える電子機器として図9にノート型パーソナルコンピュータ1200を示している。前記ノート型パーソナルコンピュータ1200は、高機能化を図った回路基板1000を備えているため、性能を向上させることができる。

【0052】

【発明の効果】以上説明したように、本発明に係る半導体チップは、ウエハに予め設定された半導体チップの電極個所にエッチングを施してV型あるいはピラミッド形状のいずれかの溝を形成するとともに、その溝部を切断して分割し、分割した半導体チップの溝の傾斜部に電極を形成した構成としたので、有底溝部で切断するために分割が容易になるとともに、傾斜部に電極を形成するために電極の製造が容易になる。また、分割した傾斜部に電極を形成するために、同一サイズの半導体チップを用いても、ワイヤボンディングのための空間を不要となり、外形寸法を小さく出来る。また、ワイヤボンディングの長さがほぼ同じ長さにできるので電気的特性の劣化を最小にすることのできるとともに、製作が容易になる。

【0053】また、上記に追加して、シリコンウエハの裏面にエッチングを施してV型形状の溝を形成し、その

V型あるいはピラミッド型形状の溝部と、裏面のV型形状の溝部との位置で切断して分割し、分割した半導体チップの傾斜部に電極を形成し、かつ、チップの端面をほぼ直線状に揃えた構成としたので、半導体チップの裏面に傾斜部を有するため、ワイヤボンディング時の干渉がなくなり、ワイヤボンディングの接続が容易になる。

【0054】また、マルチチップパッケージにおいて、半導体チップの電極が形成された傾斜部を同一方向に傾けて積層し、ワイヤボンディングにより各電極を接続したものにすると良い。

【0055】このように構成した本発明は、ワイヤボンディングの長さがほぼ同じ長さにて、電気的特性の劣化を最小にすることのできるとともに、同一列で電極を接続することが出来るため製造が容易になる。

【0056】また、半導体チップの電極が形成された傾斜部を対向させて積層し、半田ボール、あるいは、半田ボールおよびワイヤボンディングにより各電極を接続した構成としたので、1個の半田ボールにより、2個のチップの電極を接続することができるために製造が容易になる。

【0057】また、同一または異種サイズの複数の半導体チップをそれらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置して接続した構成としたので、電極は隣接する2辺の範囲内に集中配置するとともに、同一列で電極を接続することが出来るため製造が容易になり、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることの出来る。

【図面の簡単な説明】

【図1】本発明の実施形態に係るマルチチップパッケージの斜視図あるいは一部断面側面形状を示す工程図である。

【図2】本発明の他の実施形態に係るマルチチップパッケージの斜視図あるいは一部断面側面形状を示す工程図である。

【図3】本発明の第1実施形態に係るマルチチップパッケージの電極構造の一部断面側面形状を示す工程図である。

【図4】本発明の第2実施形態に係るマルチチップパッケージの電極構造の一部断面側面形状を示す工程図である。

【図5】本発明の第3実施形態に係るマルチチップパッケージの電極構造の一部断面側面図である。

【図6】本発明の第4実施形態に係るマルチチップパッケージの電極構造の一部断面側面図である。

【図7】本発明の第5実施形態に係るマルチチップパッケージの電極構造の一部断面側面図である。

【図8】実施形態に係るマルチチップパッケージの回路基板への適用例の説明図である。

【図9】実施形態に係るマルチチップパッケージを実装した電子機器への適用例の説明図である。

【符号の説明】

10 (10A、10B、10C、10D) マルチチップパッケージ

12 プリント回路基板

14 (14A、14B、14C) 半導体チップ

16X、16Y 整列縁辺

18n 共通端子

20 絶縁接着樹脂

22 ボンディングワイヤ

24 メタライズ層

26 外部電極端子

51 シリコンウエハ

53 電極

55 電極作成部

57 エッチング保護膜

59 溝

61 傾斜部

63 絶縁膜

65 絶縁接着樹脂

67 ボンディングワイヤ

71 下側溝

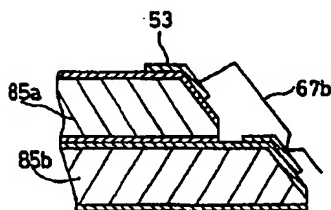
73、85 半導体チップ

75 下側傾斜部

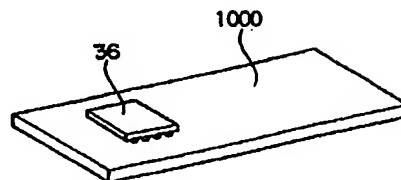
81 半田ボール

83 リード棒

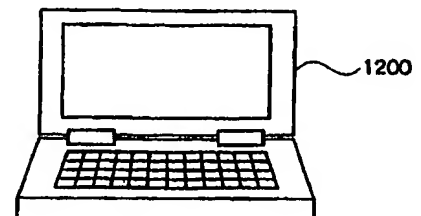
【図7】



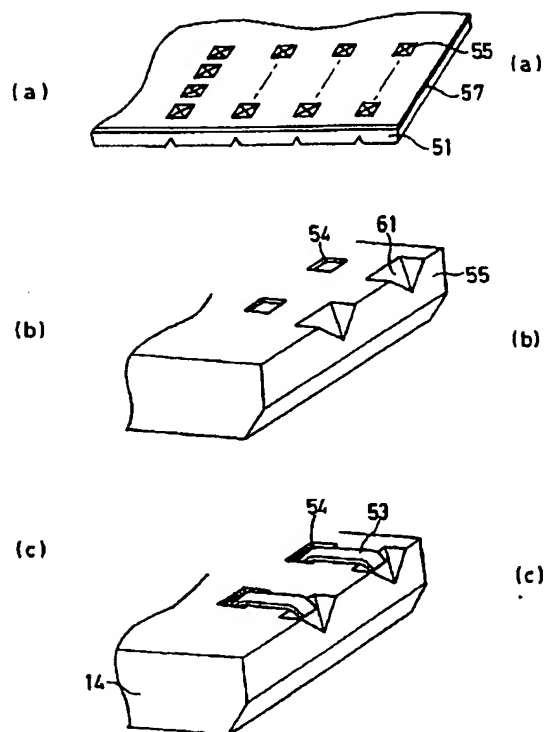
【図8】



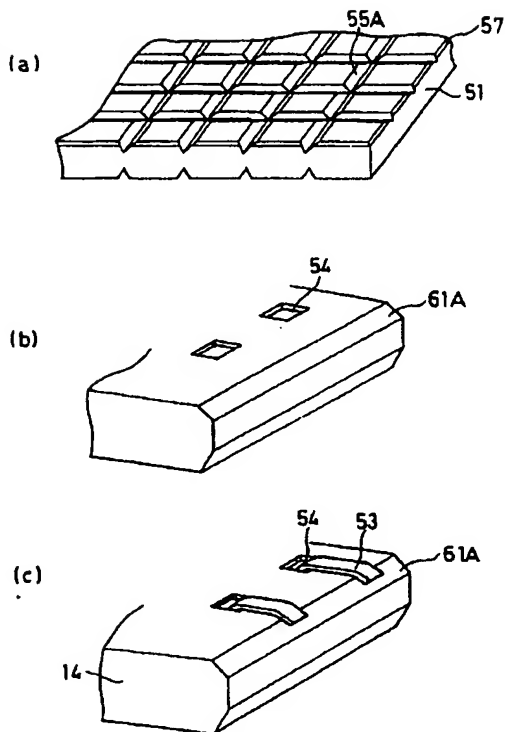
【図9】



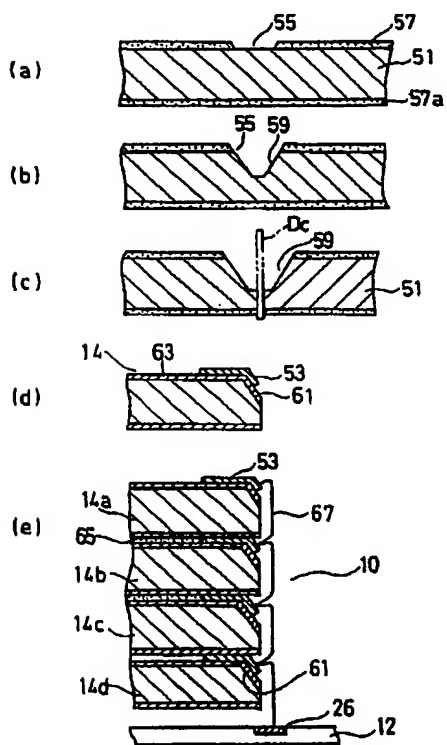
【図1】



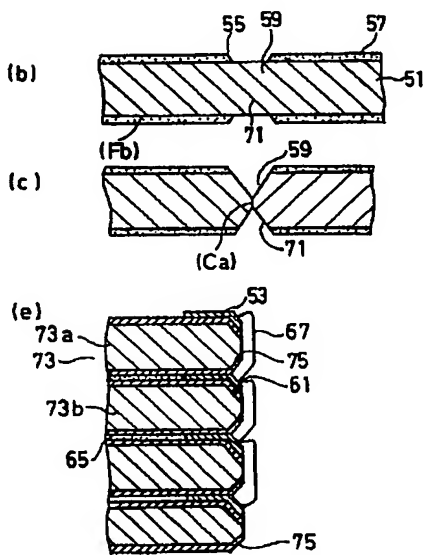
【図2】



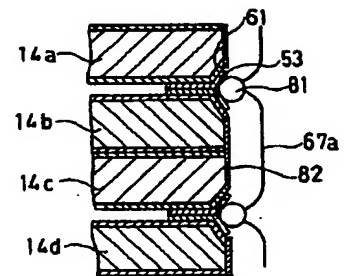
【図3】



【図4】



【図5】



【図6】

